

Encontro Grupo Portugal/CMS - 16 Novembro 2000



INESC



LIP

Controlador Boundary Scan para Aplicações VME

Nuno Cardoso

nmvc@abaco.inesc.pt

Carlos Beltrán Almeida

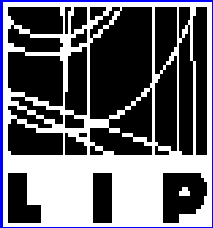
cfb@inesc.pt

José Carlos da Silva

Jc.Silva@cern.ch



INESC



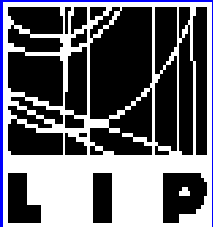
LIP

Resumo da Apresentação

- 1 - Introdução.
- 2 - Arquitectura Boundary Scan a Nível de Carta.
- 3 - A Carta Controladora Boundary Scan.
- 4 - Software de Boundary Scan.
- 5 - Testes Realizados.
- 6 - Conclusões e Trabalho Futuro.



INESC



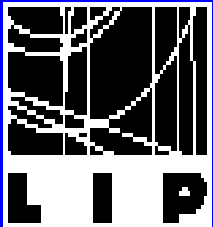
LIP

1 - Introdução

- A experiência CMS em preparação no CERN apresenta algumas desafios para o teste devido à inacessibilidade e organização da instrumentação electrónica.
- De forma a aumentar a testabilidade do sistema estão a ser implementadas estruturas de Boundary Scan ao nível local (em cada carta VME) e também ao nível do sistema (em cada *crate* VME).



INESC



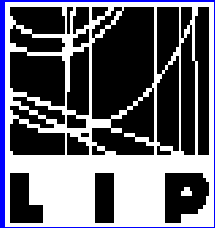
LIP

1 - Introdução

- Cada *crate* do Calorimeter Readout/Trigger contém 19 cartas:
 - ◆ uma carta CPU;
 - ◆ uma carta *Data Concentration Card* (DCC) ;
 - ◆ 17 cartas ROSE100 (carta em teste - UUT).
- A Carta Controladora de Boundary Scan (Carta BSC) será usada em cada *crate*, durante o teste a cada uma das cartas ROSE100.



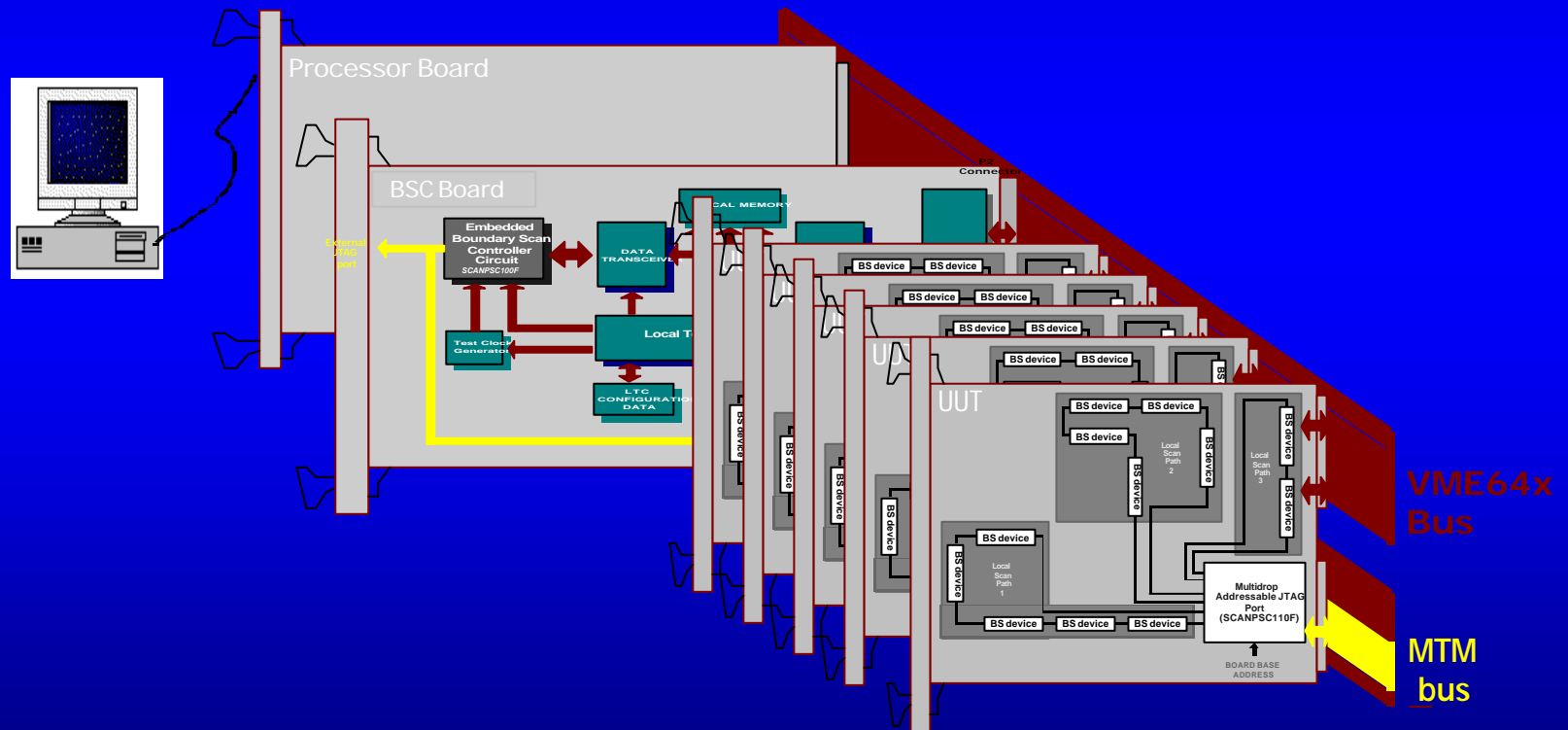
INESC



LIP

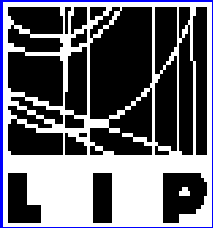
1 - Introdução

Calorimeter Readout/Trigger





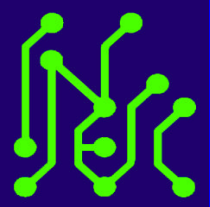
INESC



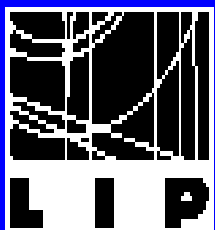
LIP

2 - Boundary Scan a Nível de Carta

- As 5 linhas MTM existentes no *backplane* VME64x são utilizadas como linhas de teste definidas pela norma IEEE 1149.1.
- As cadeias de circuitos BS existentes em cada carta são ligadas à cadeia principal (formada pelas linhas MTM) através de um circuito de interface dedicado (BS Interface Device). Este circuito é compatível com a norma IEEE 1149.1.

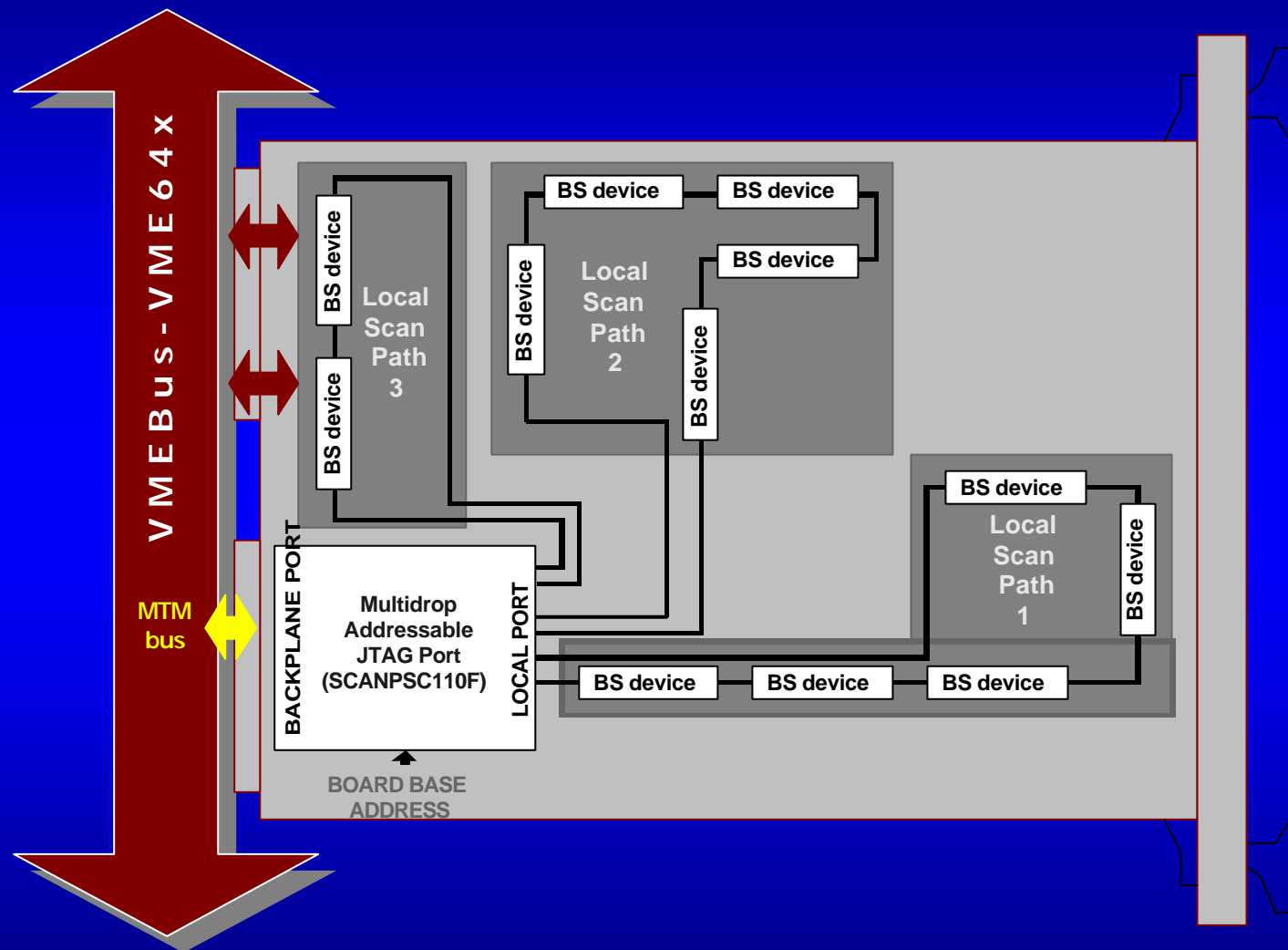


INESC



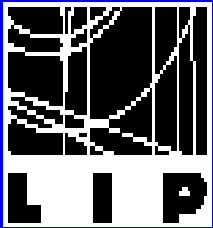
LIP

2 - Boundary Scan a Nível de Carta





INESC



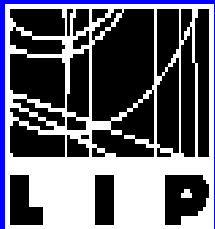
LIP

3 - Carta Controladora BS (BSC)

- A Carta Controladora Boundary Scan (Carta BSC) é responsável por controlar as linhas de teste boundary scan (linhas MTM) durante a realização de uma operação boundary-scan (teste de interligações, BIST, programação de PLD's, etc.).

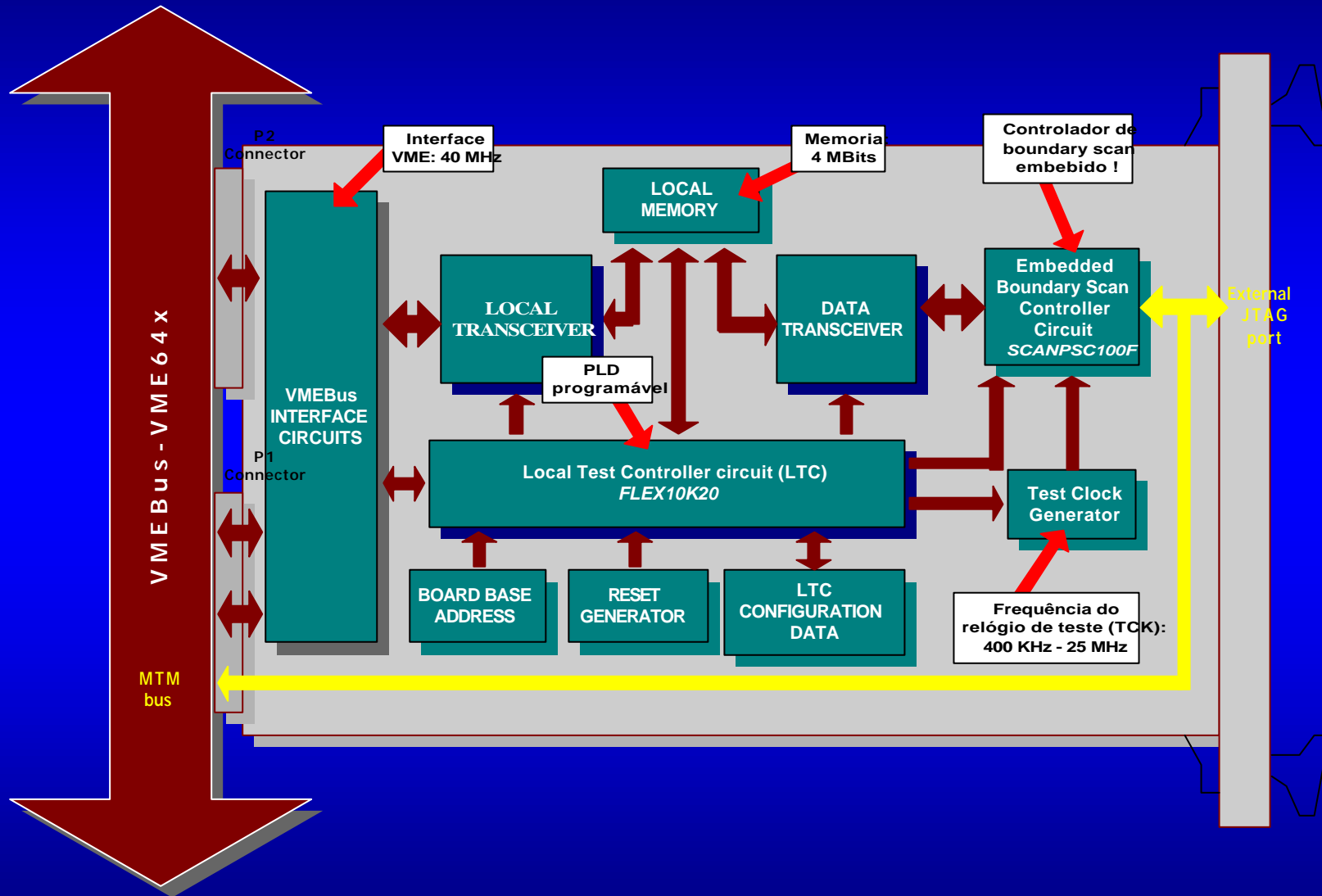


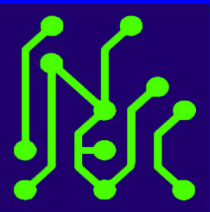
INESC



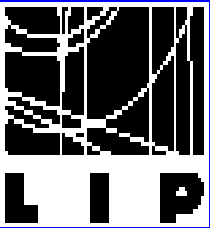
LIP

3 - Carta Controladora BS (BSC)





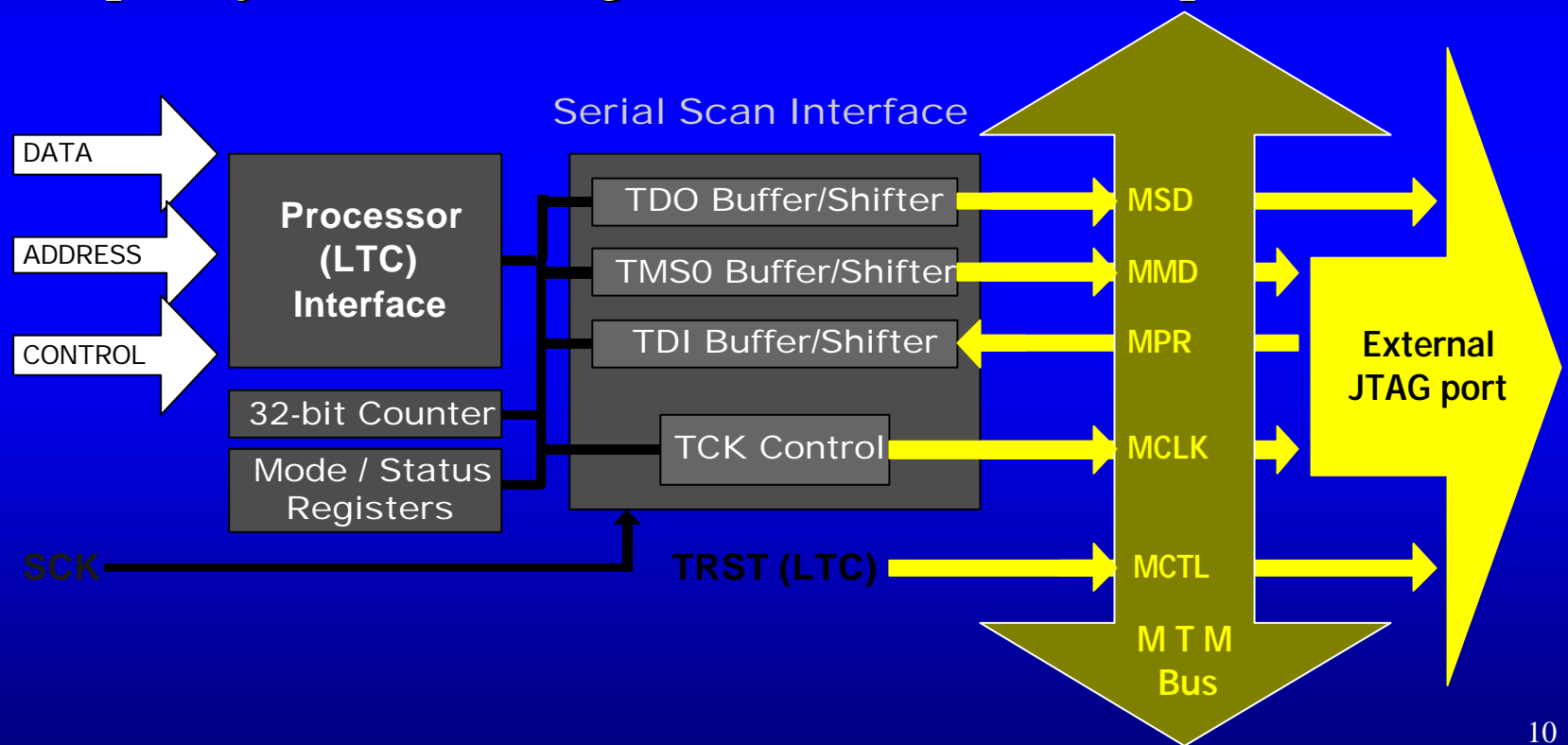
INESC



LIP

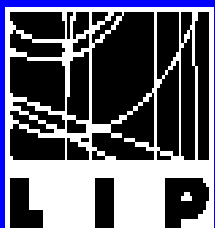
3 - Carta Controladora BS (BSC)

- O Controlador Boundary Scan Embebido controla a aplicação dos sinais de teste. Para cada sinal de teste (TMS, TDO e TDI) existe um *Buffer/Shifter* responsável pela aplicação do sinal lógico na linha MTM respectiva.



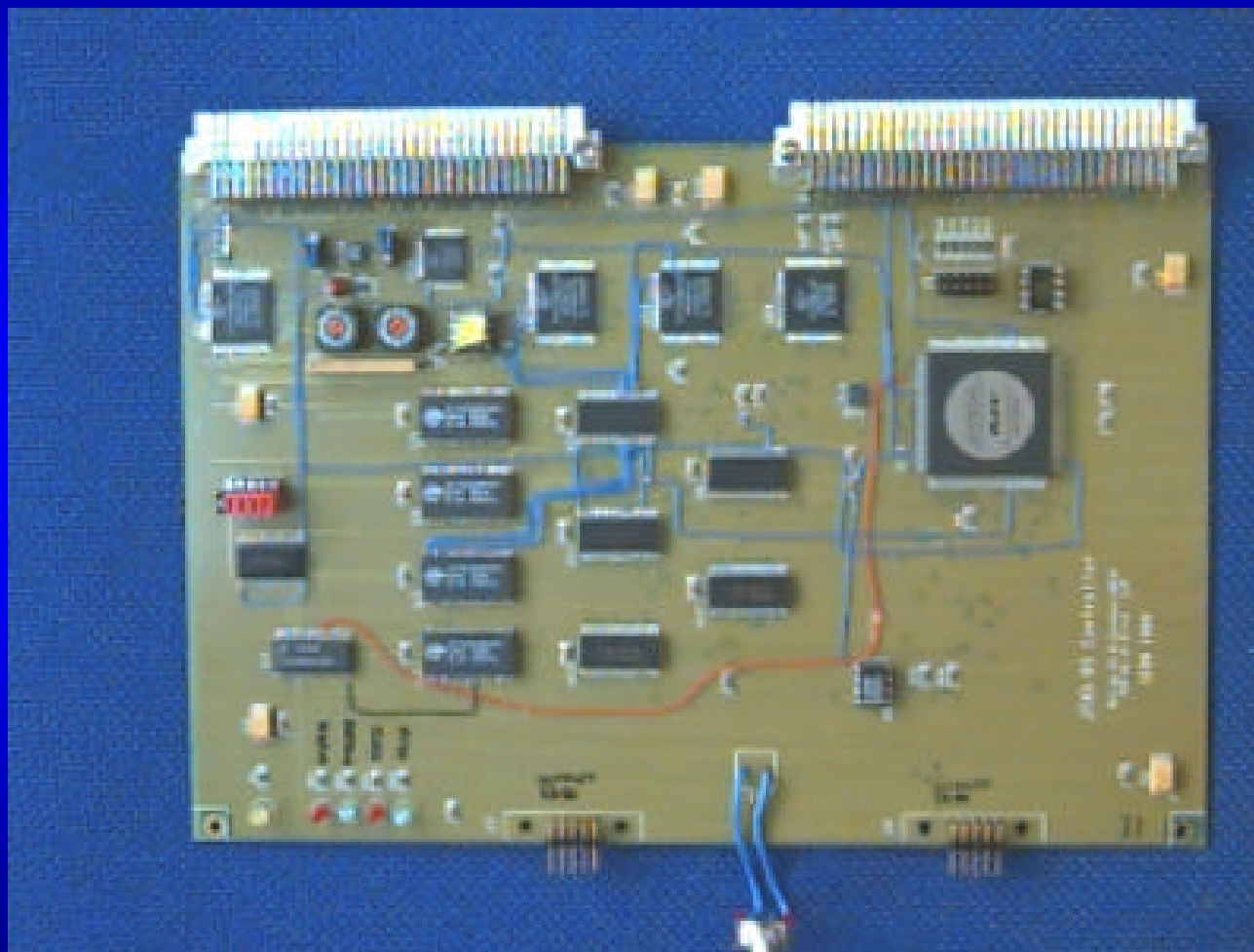


INESC



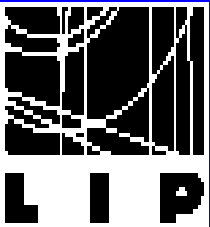
LIP

3 - Carta Controladora BS (BSC)



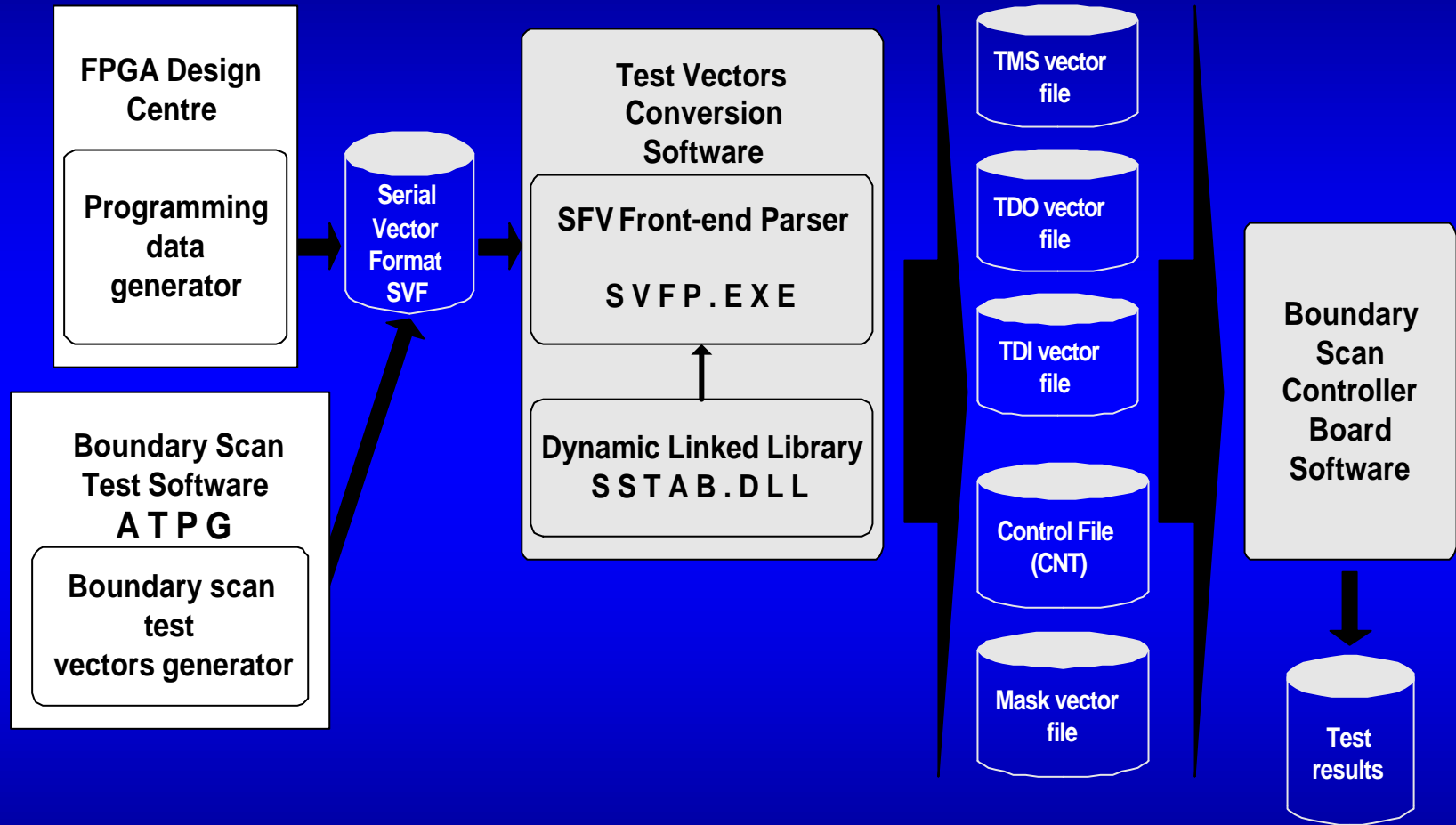


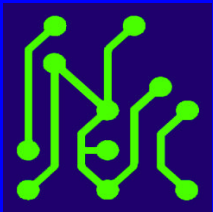
INESC



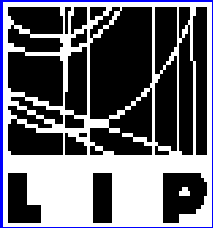
LIP

4 - Software de Boundary Scan





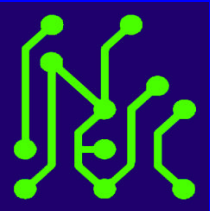
INESC



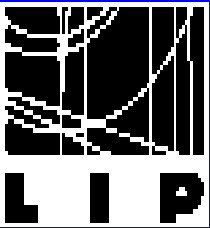
LIP

4.1 - Conversão dos Ficheiros SVF

- Os ficheiros gerados pelo ATPG ou gerados manualmente - no formato SVF - são convertidos nos ficheiros de teste utilizados pelo software de controlo da carta.
- A conversão cria um ficheiro para cada vector de teste (TMS, TDO e TDI), um ficheiro com a máscara a aplicar aos vectores recebidos (MSK) e um ficheiro de controlo (CNT).



INESC



LIP

4.2 - Ficheiros de Teste

■ Vectores TMS e TDO.

```
Tsttms.dat - WordPad
File Edit View Insert Format Help
[Icons]
|!SVF_input_file: vit.svf
!Output_file: TSTTMS.DAT

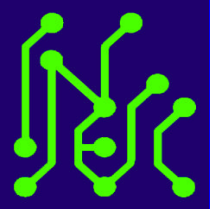
80 5800033F 00000000 2C0001B0 00000000
80 00000058 0000B000 01600000 C0000000
80 00000002 00000580 000B0000 16000000
77 00000000 0000002C 00005800 00300000

For Help, press F1
```

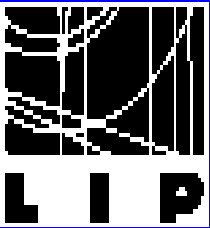
```
Tsttdo.dat - WordPad
File Edit View Insert Format Help
[Icons]
|!SVF_input_file: vit.svf
!Output_file: TSTTDO.DAT

80 F0202FFF F807FFFF F80007E7 FFFFFFFF
80 57FFFFFF3 FFFFE7FD FFCFF99F 9FF0FFFF
80 D03FFFFFF FFFFFFF3F FFFE7FAA FCFF66FF
77 FEF1FFFF FFFFFFFF9 FFFFF3FE 0067FDFF

For Help, press F1
```



INESC



LIP

4.2 - Ficheiros de Teste

- Vectores TDI e MSK.

```
Tsttdi.dat - WordPad
File Edit View Insert Format Help
!SVF_input_file: vit.svf
!Output_file: TSTTDI.DAT

80 00000000 00000000 00000000 00000000
80 01FE0000 A8000000 00000002 000004C8
80 00087000 08000000 40000000 00000015
77 00003300 00780000 7E000000 00000001

For Help, press F1
```

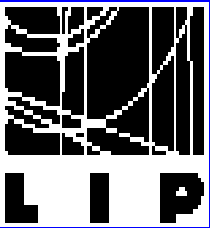
```
Tstmsk.dat - WordPad
File Edit View Insert Format Help
!SVF_input_file: vit.svf
!Output_file: TSTMSK.DAT

80 00000000 00000000 00000000 0001FF00
80 03FE000C FC001800 00300007 60000FF8
80 001FF000 3FE000C0 C0018000 0300007F
77 0000FF80 01FF0006 FE000C00 00180003

For Help, press F1
```



INESC



LIP

4.2 - Ficheiros de Teste

```
Tstcnt.dat - WordPad
File Edit View Insert Format Help
!SVF_input_file: vit.svf
!Output_file: TSTCNT.DAT

!MODE1_register: 0
!MODE2_register: 8

!Control_blocks_address: 0

!Control_blocks:
1F FO 1F7
19 FO 1F7

!TMS_vectors_address: 3
!TDO_vectors_address: 13
!TDI_vectors_address: 23

!TMS_vector_length: 503
!TDO_vector_length: 503
!TDI_vector_length: 503

!More?: NO
For Help, press F1
```

- Ficheiro de controlo do teste.



INESC



LIP

4.2 - Ficheiros de Teste

■ *Logfile.*

```
SVFP_LOG.txt - WordPad
File Edit View Insert Format Help
[Icons]
Test Data

TMS vector length (without ScanCompress) : 503 bits
TMS vector length (with ScanCompress)    : 503 bits

TDO vector length (without ScanCompress) : 503 bits
TDO vector length (with ScanCompress)    : 503 bits

TDI vector length (without ScanCompress) : 503 bits
TDI vector length (with ScanCompress)    : 503 bits

Number of Control Blocks (without ScanCompress) : 2
Number of Control Blocks (with ScanCompress)   : 2

-----
Total clock cycles : 503

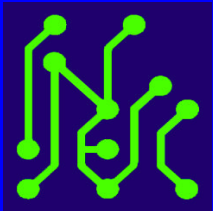
-----
Statistics

Available memory      | DWORDS / % |
131072 / 100 |

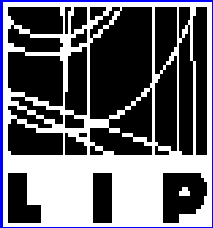
Used memory
- without ScanCompress
Control blocks | DWORDS / % of available memory |
3.000000 / 0.002289 |
Test vectors  | 48 / 0.036621 |
-----
TOTAL          | 51 / 0.038910 |

- with ScanCompress
Control blocks | DWORDS / % of available memory |
3.000000 / 0.002289 |
Test vectors  | 48 / 0.036621 |
-----
TOTAL          | 51 / 0.038910 |

For Help, press F1
```



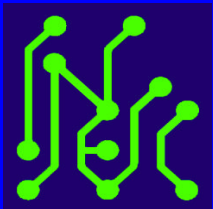
INESC



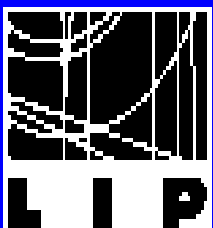
LIP

4.3 - *Scan Compress*

- Objectivo: Reduzir o volume de dados dos vectores de teste de forma a, se possível, não ultrapassar o tamanho da memória disponível na carta.
- Observando o vector de teste TMS verifica-se que para testes de duração elevada, por exemplo na execução de um BIST e na programação de circuitos o nível lógico deste sinal permanece constante durante grande parte dos ciclos de relógio.
- Situações semelhantes ocorrem nos vectores TDO e TDI.



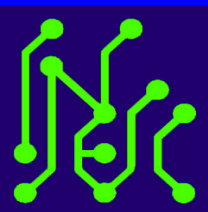
INESC



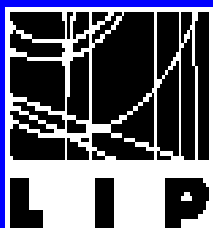
LIP

4.4 - Software de Controlo da Carta BSC

- Executado na carta CPU existente na *crate*.
- Controla o funcionamento da carta BSC durante a execução do teste:
 - ◆ Carregamento dos vectores de teste;
 - ◆ Configuração do relógio de teste (TCK) ;
 - ◆ Executa comandos para Iniciar teste/Terminar teste/Ler resultados ;
 - ◆ Detecção de erros na execução do teste (*pass/fail*).



INESC



LIP

5 - Testes Realizados

Ficheiro SVF	Operação realizada	Ficheiro testado?	Memoria ocupada (bits / %)	Blocos de Controlo	Vector TMS (bits)	Vector TDO (bits)	Vector TDI (bits)	Ciclos TCK	Circuitos BS envolvidos
--------------	--------------------	-------------------	----------------------------	--------------------	-------------------	-------------------	-------------------	------------	-------------------------

Carta de demonstração JTAG PF2152

TAPIT.SVF	Teste da Infraestrutura de Boundary Scan	SIM	288 0.007	2	54	54	54	54	2
VIT.SVF	Teste das Interligações Boundary Scan	SIM	3744 0.09	2	1209	1209	1209	1209	2

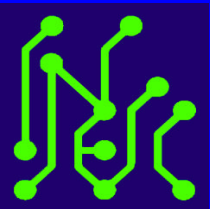
Carta de demonstração JTAG PF2150

1) Cadeia de Boundary Scan 1

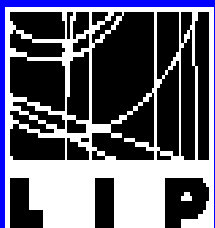
TAPIT.SVF	Teste da Infraestrutura de Boundary Scan	SIM	288 0.007	2	54	54	54	54	2
VIT.SVF	Teste das Interligações Boundary Scan	SIM	1632 0.04	2	503	503	503	503	2

2) Cadeia de Boundary Scan 2

TAPIT.SVF	Teste da Infraestrutura de Boundary Scan	SIM	960 0.02	2	251	251	251	251	7
VIT1.SVF	Teste das Interligações Boundary Scan	SIM	6912 0.2	2	2262	2262	2262	2262	7



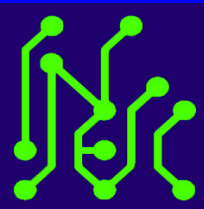
INESC



LIP

5 - Testes Realizados

Ficheiro SVF	Operação realizada	Ficheiro testado?	Memoria ocupada (bits / %)	Blocos de Controlo	Vector TMS (bits)	Vector TDO (bits)	Vector TDI (bits)	Ciclos TCK	Circuitos BS envolvidos
Carta Controladora Boundary Scan									
CLK_VCCT.SVF	Geração de um sinal de relógio + Programação em série de um circuito	NÃO	204384 4.9	2	68088	68088	68088	68088	7
LTC10.SVF	Escrita e leitura de uma memória SRAM	NÃO	146208 3.5	2	48695	48695	48695	48695	7
Circuito de sincronismo									
BIST.SVF	Execução do BIST no circuito SYNC	NÃO	360 480 8.6	2	120126	120126	120126	120126	7



INESC



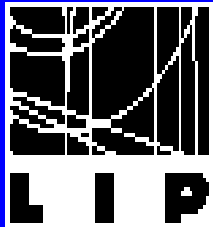
LIP

5 - Testes Realizados

Ficheiro SVF	Operação realizada	Ficheiro testado?	Memoria ocupada (bits / %)	Blocos de Controlo	Vector TMS (bits)	Vector TDO (bits)	Vector TDI (bits)	Ciclos TCK	Circuitos BS envolvidos
1. Carta de demonstração JTAG PF2152									
VIT.SVF	Teste das Interligações Boundary Scan	SIM	3744 0.09	2	1209	1209	1209	1209	2
With ScanCompress (TMS vector; Compress Step = 16 bits)									
VIT.SVF	Teste das Interligações Boundary Scan	NÃO	4064 0.1	27	297	1209	1209	1209	2
2. Teste da Carta BSC									
CLK_VCCT.SVF	Geração de um sinal de relógio + Programação em série de um circuito	NÃO	<u>204384</u> <u>4.9</u>	<u>2</u>	<u>68088</u>	68088	68088	68088	7
With ScanCompress (TMS vector; Compress Step = 8 bits)									
CLK_VCCT.SVF	Geração de um sinal de relógio + Programação em série de um circuito	NÃO	<u>148096</u> <u>3.5</u>	<u>220</u>	<u>1328</u>	68088	68088	68088	7
LTC10.SVF	Escrita e leitura de uma memória SRAM	NÃO	<u>146208</u> <u>3.5</u>	<u>2</u>	<u>48695</u>	48695	48695	48695	7
With ScanCompress (TMS vector; Compress Step = 8 bits)									
LTC10.SVF	Escrita e leitura de uma memória SRAM	NÃO	<u>103808</u> <u>2.5</u>	<u>118</u>	<u>711</u>	48695	48695	48695	7



INESC

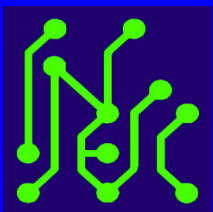


LIP

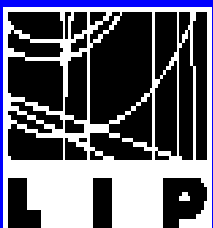
5 - Testes Realizados

3.Circuito de síncronismo

Ficheiro SVF	Operação realizada	Ficheiro testado?	Memoria ocupada (bits / %)	Blocos de Controlo	Vector TMS (bits)	Vector TDO (bits)	Vector TDI (bits)	Ciclos TCK	Circuitos BS envolvidos
BIST.SVF	Execução do BIST no circuito SYNC	NÃO	<u>360480</u> 8.6	<u>2</u>	<u>120126</u>	120126	120126	120126	7
With ScanCompress (TMS vector; Compress Step = 8 bits)									
BIST.SVF	Execução do BIST no circuito SYNC	NÃO	<u>240672</u> 5.7	<u>7</u>	<u>38</u>	120126	120126	120126	7



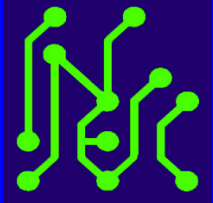
INESC



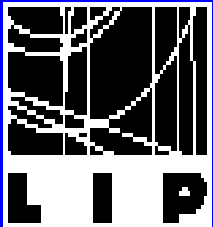
LIP

6 - Conclusões e Trabalho Futuro

- O protótipo da carta BSC e o software de interface da carta com os programas de ATPG encontram-se implementados.
- Os testes já realizados permitiram avaliar o correcto funcionamento do sistema. No entanto será necessário a realização de testes mais longos de forma a avaliar a performance da carta.



INESC



LIP

6 - Conclusões e Trabalho Futuro

- Documentar o sistema desenvolvido
- Adaptar o software de conversão dos vectores de teste de forma a aceitar os ficheiros gerados pelo sistema da JTAG disponível no CERN.
- Utilização da carta BSC na realização do teste de cartas colocadas na crate VME (utilizando o circuito de interface BS em cada carta em teste).
- Integração do controlador BSC na carta DCC.